

Searching PAJ

페이지 1 / 2

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-126916

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

G01R 31/28

G06F 11/16

G06F 11/22

(21)Application number : 03-285110

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 30.10.1991

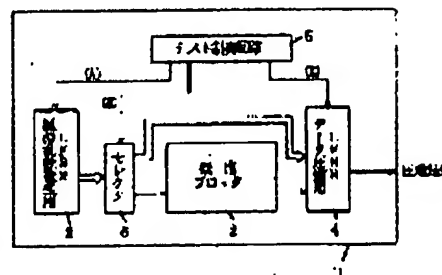
(72)Inventor : SAKASHITA NORIYOSHI  
FUJIYAMA TOMOAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT WITH TESTING FUNCTION

## (57)Abstract:

PURPOSE: To judge the normal/defective state of a pseudo-random number generator and data compressing device by giving pseudo-random number data to the data compressing device and using their compressed results when self-testing is not performed.

CONSTITUTION: The control of this semiconductor integrated circuit 1 at testing time is performed by using control signals A, B, and S outputted from a test control circuit 5 and the circuit 1 is controlled as a whole. Based on the control signal A, linear feedback shift register(LFSR) 3 for generating pseudo-random numbers outputs a pseudo-random number to a selector 6 which selects an LFSR 4 for compressing data in response to the control signal S. As a result, the pseudo-random number is directly inputted to the LFSR 4 for compressing data. The LFSR 4 compresses the pseudo-random number in response to the control signal B and outputs the compressed result to the outside of the circuit 1 at the end of self-testing. Therefore, the LFSRs 3 and 4 can be directly tested without operating a functional block 2.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Searching PAJ

페이지 2 / 2

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11) 特許出願公開番号

特開平5-126916

(43) 公開日 平成 5 年 ( 1993 ) 5 月 25 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/16	3 1 0 E	7313-5B		
11/22	3 3 0 B	9290-5B		
		6912-2G		
			G 0 1 R 31/28	V

審査請求 未請求 請求項の数 8 ( 全 15 頁 )

(21) 出願番号 特願平3-285110

(22) 出願日 平成 3 年 ( 1991 ) 10 月 30 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 坂下 徳美

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機

株式会社エル・エス・アイ研究所内

(72) 発明者 藤山 等章

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機

株式会社北伊丹製作所内

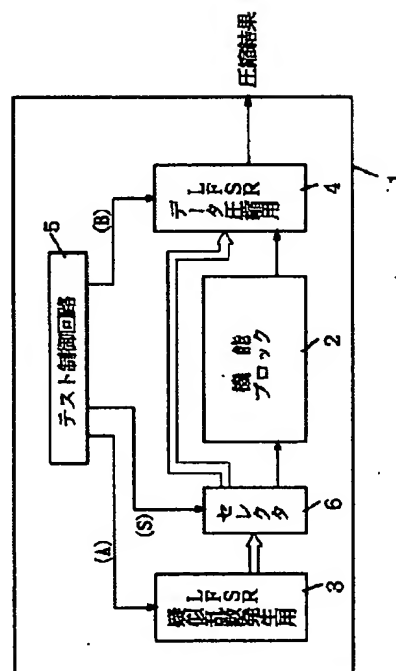
(74) 代理人 弁理士 深見 久郎 ( 外 3 名 )

(54) 【発明の名称】 テスト機能付き半導体集積回路

(57) 【要約】

【目的】 機能ブロックを動作させることなく、疑似乱数発生用 L F S R やデータ圧縮用 L F S R などのテスト用回路を直接テストすることを可能にする。

【構成】 テスト対象となる機能ブロック 2、疑似乱数発生用 L F S R 3、データ圧縮用 L F S R 4、テスト制御回路 5 により構成されたテスト機能付き半導体集積回路 1 に、疑似乱数発生用 L F S R 3 の発生する疑似乱数を機能ブロック 2 に入力するかデータ圧縮用 L F S R 4 に直接入力するかを選択するセレクタを備えたことを特徴とする、テスト機能付き半導体集積回路。



## 【特許請求の範囲】

【請求項1】 信号処理機能を有する機能ブロックと、疑似乱数データを発生する疑似乱数発生器と、前記機能ブロックによる疑似乱数データの処理データを圧縮するデータ圧縮器と、前記機能ブロック、疑似乱数発生器およびデータ圧縮器を制御するテスト制御回路とを備えたテスト機能付き半導体集積回路であって、前記機能ブロックのテストを行なっていないときに前記疑似乱数発生器により発生された疑似乱数データを前記データ圧縮器に与える手段を含むことを特徴とするテスト機能付き半導体集積回路。

【請求項2】 前記疑似乱数発生器は、N（Nは自然数）段のフリップフロップと排他的論理和ゲートとを備えたりニアフィードバックシフトレジスタであり、前記データ圧縮器は、M（Mは自然数）段のフリップフロップと排他的論理和ゲートとを備えたりニアフィードバックシフトレジスタである、前記請求項1記載のテスト機能付き半導体集積回路。

【請求項3】 前記疑似乱数データをデータ圧縮器に与える手段は、前記疑似乱数発生器と前記データ圧縮器および前記機能ブロックとの間に接続され、前記制御回路からの制御信号にตอบสนองして前記データ圧縮器を選択する手段を含む、前記請求項1記載のテスト機能付き半導体集積回路。

【請求項4】 前記疑似乱数発生器のビット長が前記データ圧縮器のビット長よりも長い場合には、前記疑似乱数発生器のビット長さを前記データ圧縮器のビット長に圧縮する圧縮手段を含む、前記請求項1記載のテスト機能付き半導体集積回路。

【請求項5】 前記疑似乱数発生器のビット長が前記データ圧縮器のビット長よりも短い場合は、前記疑似乱数発生器と前記データ圧縮器のビット長の差に対応するビット数の固定値を前記データ圧縮器に与える手段を含む、前記請求項1記載のテスト機能付き半導体集積回路。

【請求項6】 信号処理機能を有する機能ブロックと、疑似乱数データを発生する疑似乱数発生器と、前記機能ブロックによる疑似乱数データの処理データを圧縮するデータ圧縮器と、前記機能ブロック、疑似乱数発生器およびデータ圧縮器を制御するテスト制御回路とを備えたテスト機能付き半導体集積回路であって、前記機能ブロックのテストを行なっていないときに、前記疑似乱数発生器により発生された疑似乱数データを前記テスト制御回路に与える手段と、前記機能ブロックのテストを行なっていないときに前記テスト制御回路の疑似乱数データに対する応答データを前記データ圧縮器に与える手段とを含むことを特徴とするテスト機能付き半導体集積回路。

【請求項7】 前記疑似乱数データのビット長を前記テスト制御回路の入力信号のビット長に変換する手段を含

む、前記請求項6記載のテスト機能付き半導体集積回路。

【請求項8】 前記制御回路の出力信号のビット長を前記データ圧縮器のビット長に変換する手段を含む、前記請求項6記載のテスト機能付き半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は疑似乱数発生器とデータ圧縮器とを用いて自己テスト機能を実現したテスト機能付き半導体集積回路に関し、特に疑似乱数発生器およびデータ圧縮器としてリニアフィードバックシフトレジスタ（以下、LFSRと称する）を用いたテスト機能付き半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路は高密度化および多機能化され、高信頼性が要求されている。このため、各機能についてあらゆるテストを行なう必要がある。このテストを行なうために外部からデータを与えるようにしたのでは、テスト時間が長大化し、テストコストの増大を招くことになる。そこで、最近では同一チップ内に半導体集積回路自信をテストするためのテスト回路を組み込み、このテスト回路によってセルフテストを行なう方法が採用されている。

【0003】図11はこのような自己テスト機能を実現したテスト機能付き半導体集積回路のブロック図である。図11を参照して、この半導体集積回路1は、テスト対象となる機能ブロック2、疑似乱数発生器LFSR3、データ圧縮器LFSR4およびテスト制御回路5を備える。テスト制御回路5は疑似乱数発生器3およびデータ圧縮器LFSR4を制御するための制御信号AおよびBを出力する。疑似乱数発生器LFSR3は、テスト制御回路5からの制御信号Aにตอบสนองして、テストデータとしての疑似乱数データを発生し、発生した疑似乱数データを機能ブロック2に与える。機能ブロック2は、通常動作時においては、各種論理信号を予め定められた論理に従って処理して各種の機能を達成するブロックである。この機能ブロック2はテスト時には疑似乱数発生器LFSR3からの疑似乱数データを予め定められた論理に従って処理する。データ圧縮器LFSR4は、テスト制御回路5からの制御信号Bにตอบสนองして機能ブロック2により処理されたテストデータを圧縮する。このような機能を有する疑似乱数発生器LFSR3およびデータ圧縮器LFSR4の一例として文献（COMPUTER SCIENCE PRESS社発行、M. ABRAMOVICI, M. A. BREUR, A. D. FRIEDMAN著、DIGITAL SYSTEMS TESTING AND TESTABLE DESIGNのp445～447, p473～474）に記載されたLFSRがある。

【0004】図12は前記文献に記載された疑似乱数発

3

生用LFSRを4ビット構成にしたブロック図であり、図13はデータ圧縮用LFSRを4ビット構成にしたブロック図である。図12を参照して、この疑似乱数発生用LFSR3は、直列的に接続された4つのフリップフロップ50と初段のフリップフロップの出力と3段目のフリップフロップの出力との排他的論理和を取る排他的論理和ゲート52を含む。

【0005】動作において、各フリップフロップ52はデータのラッチを行なうクロック（図示しない）が入力されており、クロックの変化に応じて次段へのシフトを行なうように構成している。前段へのフィードバックをかけるときにはフィードバック信号を排他的論理和ゲート52により受けて出力する。フィードバックをかけるフリップフロップの出力位置（一般にタップとよばれる）は、一般に特性多項式で求めることができる。このタップの位置とフリップフロップの段数を最適化することで最大 $2^4 - 1$ の周期の疑似乱数を発生する。図12の4ビット構成の場合には、最大 $2^4 - 1$ の疑似乱数が発生可能であるが、タップの位置が最適化されていないため7種の疑似乱数を発生する。

【0006】各フリップフロップ50の初期値を“1110”としかつ各々の出力をX1～X4とした場合の疑似乱数を表1に示す。

【0007】

【表1】

X1	X2	X3	X4
1	1	1	0
0	1	1	1
1	0	1	1
0	1	0	1
0	0	1	0
1	0	0	1
1	1	0	0

【0008】表1に示す疑似乱数は次のようにして発生される。まず、各フリップフロップ50の初期値を“1110”に設定する。次に、クロックにより各フリップフロップの値を次段にシフトし、排他的論理和ゲート52にX1とX3の値“1”と“1”を入力し、同時に出力“0”を初段のフリップフロップに入力する。それによりデータは“0111”に変化する。以後同様にクロックを入力するごとにシフトを行ない次々と疑似乱数を発生させる。

4

【0009】図13は図12と同様の考え方でデータ圧縮器を構成したもので、タップの位置を最適化することである固定値に収束しないデータ圧縮器を構成できる。

【0010】図11ないし図13に示したテスト機能付き半導体集積回路の動作を説明する。まず、自己テスト時にはテスト制御回路5により集積回路1全体を制御する。制御信号Aにより疑似乱数発生用LFSR3から疑似乱数が発生する。制御信号Bによりデータ圧縮用LFSR4においてデータ圧縮を行なう。疑似乱数発生用LFSR3の疑似乱数を用い、集積回路1内部の各機能ブロック2を動作させる。各機能ブロック2の動作結果は制御信号Bによりデータ圧縮用LFSRに取込まれ、ここでデータ圧縮される。機能ブロック2をすべて動作させデータ圧縮が終了した後に、圧縮結果を集積回路1外部に出力し、良／不良を判定する。なお、この例では圧縮結果をそのまま集積回路1外部に出力しているが、自己テストの期待値と圧縮結果を比較する判定回路を内蔵し、良／不良結果を外部に出力する場合もある。

【0011】図14は多ビット構成のLFSRを複数個用いた半導体集積回路（マイクロプロセッサ）を示すブロック図である。このマイクロプロセッサは文献（IC CD86 proceeding p.169～173

“BUILT IN SELF TEST OF THE 8038”）に記載されている。同図を参照して、PLAはプログラマブルロジックアレイ、BINARYはバイナリーカウンタ、CROMはROM、ALU25は期待値と実際の圧縮値を比較する比較用演算器、EAXレジスタはALUでの比較結果を格納するレジスタである。この構成では、テスト用回路として3種の疑似乱数発生用LFSR3（11ビット、19ビット、16ビット）、8種のデータ圧縮用LFSR（16ビット×5、18ビット、19ビット、37ビット）、テスト用制御回路と比較用演算器を設けている。これらのテスト用ハードウェアは半導体集積回路の面積の数%ないし十数%を占めるため、テスト用ハードウェア自体の不良は無視できなくなる。

【0012】

【発明が解決しようとする課題】多数の複雑な論理回路ブロックで構成されるマイクロプロセッサにおいては、LFSRを用いたテスト回路を内蔵しテストの容易化を図っている。従来例のようにテスト回路として11種のLFSRと制御回路を設けたマイクロプロセッサでは、テスト回路の不良が無視できず、テスト回路自体のテストが必要となる。従来では機能ブロックをテスト回路を用いて動作させ、間接的にテスト回路の正常動作を確認しなければならないという問題があった。

【0013】それゆえに、この発明は上記のような問題を解消するためになされたもので、テスト用ハードウェアのテストが可能な半導体集積回路を実現することを目的とする。

【0014】

【課題を解決するための手段】前記目的を達成するための第1の発明に係るテスト機能付き半導体集積回路は、信号処理機能を有する機能ブロックと、疑似乱数データを発生する疑似乱数発生器と、前記機能ブロックによる疑似乱数データの処理データを圧縮するデータ圧縮器と、前記機能ブロック、疑似乱数発生器およびデータ圧縮器を制御するテスト制御回路とを備えたテスト機能付き半導体集積回路であって、前記機能ブロックのテストを行なっていないときに前記疑似乱数発生器により発生された疑似乱数データを前記データ圧縮器に与える手段を含むことを特徴とする。

【0015】また、第2の発明は信号処理機能を有する機能ブロックと、疑似乱数データを発生する疑似乱数発生器と、前記機能ブロックによる疑似乱数データの処理データを圧縮するデータ圧縮器と、前記機能ブロック、疑似乱数発生器およびデータ圧縮器を制御するテスト制御回路とを備えたテスト機能付き半導体集積回路であって、前記機能ブロックのテストを行なっていないときに、前記疑似乱数発生器により発生された疑似乱数データを前記テスト制御回路に与える手段と、前記機能ブロックのテストを行なっていないときに前記テスト制御回路の疑似乱数データに対する応答データを前記データ圧縮器に与える手段とを含むことを特徴とする。

【0016】

【作用】第1の発明におけるテスト機能付き半導体集積回路は、機能ブロックのテストを行なっていないとき、すなわち、自己テストを行なっていないときに疑似乱数データをデータ圧縮器に与えることができるので、データ圧縮された結果を用いて、疑似乱数発生器およびデータ圧縮器の良／不良を判定できる。

【0017】また、第2の発明では自己テストを行なっていないときに疑似乱数データをテスト制御回路に与えかつテスト制御回路の疑似乱数データに対する応答データをデータ圧縮器に与えるので、データ圧縮された結果を用いてテスト制御回路の良／不良を判定できる。

【0018】

【実施例】以下、この発明の実施例を図について説明する。図1は、本発明の一実施例を示すブロック図である。図1に示すテスト機能付き半導体集積回路が図11のテスト機能付き半導体集積回路とことなるところは、疑似乱数用LFSR3と機能ブロック2との間にセクタ6が設けられていることである。その他の回路については、図11と同様であり同一の符号を付しその説明は適宜省略する。セクタ6は、テスト制御回路5からのセレクト信号Sに応答して疑似乱数用LFSR3からのデータを直接LFSR4に与える経路を選択する。

【0019】次に、図1に示したテスト機能付き半導体集積回路の動作を説明する。テスト時の制御はテスト制御回路5から出力する制御信号A、BおよびSにより行

ない、集積回路1全体を制御する。自己テスト時には、制御信号Aに応答して疑似乱数発生用LFSR3が疑似乱数を出し、セクタ6に inputs。セクタ6は制御信号Sに応答して機能ブロック2側を選択する。それによって疑似乱数が機能ブロック2に inputs。その後機能ブロック2が疑似乱数を入力データとして動作し、動作結果をデータ圧縮用LFSR4に inputs。データ圧縮用LFSR4は制御信号Bに応答して機能ブロック2の動作結果を圧縮し、圧縮結果を集積回路1の外部に出力する。

【0020】テスト回路のテスト時には、制御信号Aにより疑似乱数発生用LFSR3から疑似乱数を出し、セクタ6に inputs。セクタ6は制御信号Sに応答してデータ圧縮用LFSR4側を選択する。それにより疑似乱数は直接データ圧縮用LFSR4に inputs。その後、データ圧縮用LFSR4は制御信号Bに応答して疑似乱数を圧縮し、自己テストの最後にその圧縮結果を集積回路1の外部に出力する。このことにより、機能ブロック2を動作させることなく、疑似乱数発生用LFSR3およびデータ圧縮用LFSR4を直接テストすることが可能となる。

【0021】図2は、この発明の第2の実施例を示すブロック図である。図2を参照して、このテスト機能付き半導体集積回路が図1の半導体集積回路と異なるところは、セクタ6とデータ圧縮用LFSR4との間にビット圧縮器7が設けられていることである。ビット圧縮器7は、疑似乱数発生用LFSR3のデータ長がNビット、データ圧縮用LFSR4のデータ長がMビットでN>Mの場合に用いられる。

【0022】動作において、テスト回路のテスト時には、セクタ6から出力したNビットの疑似乱数をビット圧縮器7に inputs。ビット圧縮器7は、制御回路5からの制御信号Cに応答してセクタ7を通して与えられるNビットの疑似乱数をMビットの圧縮し、データ圧縮用LFSR4に inputs。それにより、疑似乱数発生用LFSR3とデータ圧縮用LFSR4とのビット長さが異なっても各LFSR3および4のテストを行なうことが可能となる。

【0023】図3は図2のビット圧縮器7としてNビットLFSRを用いた例を示す。図4は図2のビット圧縮器としてNビットのうちのN-M+1の疑似乱数を1ビットの圧縮するLFSRを用いた例である。図4のビット圧縮器では、N-M+1ビットを圧縮するLFSRと、M-1ビットの疑似乱数とによりMビットの疑似乱数を発生することができる。すなわち、ビット長さの差のみを圧縮することができる。

【0024】図5は、図2のビット圧縮器として複数の排他的論理和ゲートを用いた例である。

【0025】図3ないし図5の構成から明らかなように、ビット圧縮器としては各種の態様があり、Nビット

7

をMビットに圧縮できかつ乱数性を失わない限り、あらゆる構成を取ることが可能である。

【0026】なお、図2ないし図5の実施例では、 $N > M$ の場合を示したが、 $N < M$ の場合には、ビット長の長い疑似乱数データが必要となる。

【0027】図6は、この発明の第3の実施例を示すブロック図である。図6を参照して、このテスト機能付き半導体集積回路が図2の半導体集積回路と異なるところは、ビット圧縮器7に変えて、制御回路5から出力される制御信号Dにตอบสนองして“H”または“L”の固定値を発生する固定値入力回路8が設けられていることである。

【0028】動作において、テスト回路のテスト時には、セレクト6から出力したNビットの疑似乱数データをデータ圧縮用LFSR4に入力する。同時に制御信号Dにตอบสนองして固定値入力回路8は、 $M-N$ ビットの固定値を発生し、データ圧縮用LFSR4に入力する。それにより、データ圧縮用LFSR4の入力ビット数に対応したビット長のデータを発生することができるので、疑似乱数発生用LFSR3のみならずデータ圧縮用LFSR4のテストを行なうことができる。

【0029】図7は、図6に示した固定値入力回路8の一例を示す回路図である。この固定値入力回路は、複数のPチャネルトランジスタTR1と、複数のNチャネルトランジスタTR2と、インバータ8aとを含む。インバータ8aは、その入力端子が制御信号Tを受けるように接続され、その出力端子が各PチャネルトランジスタTR1のゲートに接続される。各PチャネルトランジスタTR1は、そのソースが電源電圧Vccに接続され、そのドレイン電極がデータ圧縮用LFSR4に接続される。各NチャネルトランジスタTR2はそのゲートが制御信号Dを受けるように接続され、そのソースが接地され、そのドレインがデータ圧縮用LFSR4に接続される。

【0030】動作において、制御信号Dが“H”レベルのときには、PチャネルトランジスタTR1およびNチャネルトランジスタTR2のすべてがON状態となり、PチャネルトランジスタTR1からは“H”レベルが出力され、NチャネルトランジスタTR2からは“L”レベルが出力される。この結果、固定値入力回路8は、 $M-N$ ビットの固定値を発生することができる。この $M-N$ ビットの固定値は、データ圧縮用LFSR4に与えられ、データ圧縮用LFSR4は、 $M-N$ ビットの固定値とNビットの疑似乱数データとからなるデータを圧縮する。

【0031】なお、前記図1、図2および図6では、1対のLFSRの場合について説明したが、複数対の場合でも、同様の考え方でLFSRのテストを行なえばよい。また、テスト用制御回路5は集積回路1のマイクロプロセッサの命令などで制御してもよく、あるいは集積

8

回路1外部からの入力信号で制御してもよい。

【0032】図8は、この発明の第4の実施例を示すブロック図である。図8に示すテスト機能付き半導体集積回路は、テスト制御回路5のテストを行なうことを可能にする。図8を参照して、このテスト機能付き半導体集積回路が図1の半導体集積回路と異なるところは、

(1)セレクト6と、テスト制御回路5'との間にセレクト16が設けられていること、(2)テスト制御回路5'の出力データまたは機能ブロック2の出力データを選択するセレクト26が設けられていることである、

(3)テスト制御回路5'が1対のLFSR3および4とを制御する制御信号AおよびC、セレクト6、16および26を制御するための制御信号B、EおよびDを発生していることである。なお、Fは制御回路5'の内部信号である。その他の回路については、図1と同様であり、同一符号を付しその説明は適宜省略する。

【0033】セレクト16は、外部からのテスト制御入力1Tおよび内部で発生したテスト制御入力2Tまたはセレクト6を通して与えられる疑似乱数を選択しテスト制御回路5'に入力する。セレクト26は、テスト制御回路5'の出力する制御信号A～Eまたは機能ブロック2の動作出力を選択してデータ圧縮用LFSR4に入力する。

【0034】次に、図8に示すテスト機能付き半導体集積回路の動作を説明する。まずテスト時の制御はテスト制御回路5'から出力制御信号A～Eにより行ない、集積回路1全体を制御する。自己テスト時には制御信号Aにより疑似乱数発生用LFSR3から疑似乱数を出力しセレクト6に入力する。セレクト6は、制御信号Bにตอบสนองして機能ブロック2側を選択して、疑似乱数を機能ブロック2に入力する。疑似乱数を入力とした機能ブロック2の動作結果はセレクト26により選択されデータ圧縮用LFSR4に入力される。データ圧縮用LFSR4は制御信号Cにตอบสนองして動作結果を圧縮して自己テストの最後に圧縮結果を集積回路1の外部に出力する。なお、セレクト16は制御信号Eにตอบสนองしてテスト制御入力値Tおよび2Tを選択しテスト制御回路5に入力している。

【0035】テスト回路のテスト時には、制御信号Aにตอบสนองして疑似乱数発生用LFSR3が疑似乱数を発生する。この発生された疑似乱数はセレクト6に入力される。セレクト6は制御信号Bにตอบสนองしてテスト制御回路5側を選択し、疑似乱数をセレクト16に入力する。セレクト16は制御信号Eにตอบสนองして疑似乱数を選択しテスト制御回路5に入力する。テスト制御回路5の出力する制御信号A～Eは疑似乱数発生用LFSR3を始めとする各テストブロックに入力すると同時にセレクト26に疑似乱数データを入力する。また、テスト制御回路5内の制御信号Fもセレクト26に入力される。セレクト26は制御信号Dにตอบสนองして制御回路5'から出力され

9

る制御信号A～Fを圧縮し、その圧縮結果を集積回路1の外部に出力する。こうすることにより、機能ブロック2を動作することなく、疑似乱数発生用LFSR3、データ圧縮用LFSR4、テスト制御回路5のテストを直接行なうことが可能となる。すなわち、テスト回路のテスト時には疑似乱数をテスト制御回路5に入力し、テスト制御回路の出力である制御信号A～Eをデータ圧縮して確認することにより、テスト用ハードウェアのテストを実現している。

【0036】なお、図8の実施例では、疑似乱数発生用LFSR3のデータ長とテスト制御回路5の入力信号データ長が同じであり、かつテスト制御回路5の出力信号データ長とデータ圧縮用LFSR4のデータ長が同じであることを条件とするが、それぞれのデータ長が異なる場合は、図9に示すようにデータ長を調整する回路を設ける必要がある。

【0037】図9は、この発明の第5の実施例を示すブロック図である。このテスト機能付き半導体集積回路が図8の半導体集積回路と異なるところは、(1)疑似乱数発生用LFSR3のデータ長がNビットでテスト制御回路5の入力信号データ長がPビットで $N > P$ であり、かつ制御信号A～Hの総データ長がQビットでデータ圧縮用LFSR4のデータ長がMビットで $Q > M$ であること、(2)データを圧縮するために、セレクト6とセレクト16との間にビット圧縮回路11が設けられ、セレクト26とデータ圧縮用LFSR4との間にデータ圧縮回路12が設けられていることである。

【0038】動作においてテスト回路のテスト時にはセレクト6から出力した疑似乱数をテスト制御回路5に入力する。ビット圧縮回路7は制御信号HにตอบสนองしてNビットの疑似乱数をPビットに圧縮し、テスト制御回路5に入力する。また、セレクト26から出力した総ビット長Qのテスト制御信号A～Hはビット圧縮回路17でMビットに圧縮されてデータ圧縮回路4に入力される。

【0039】なお、ビット圧縮回路11および12としては、前述した図3ないし図5のビット圧縮回路を用いることができる。

【0040】なお、第5の実施例ではデータ長さの関係が $N > P$ 、 $Q > M$ の場合を示したが、逆に $N < P$ および $Q < M$ の場合には、図10に示すようなビット長を調整する回路を設ける。

【0041】図10は、この発明の第6の実施例を示すブロック図である。このテスト機能付き半導体集積回路が図9に示す集積回路と異なるところは、ビットの関係が $N < P$ かつ $Q < M$ であり、かつビット圧縮回路11に変えて固定値入力回路13が設けられ、ビット圧縮回路12に変えて固定値入力回路14が設けられていることである。固定値入力回路13はテスト制御回路5からの制御信号JにตอบสนองしてP-Nビットの固定値を発生する。固定値入力回路14はテスト制御回路5からの制

10

御信号IにตอบสนองしてM-Qビットの固定値を発生する。

【0042】動作において、テスト回路のテスト時にはセレクト6から出力したNビットの疑似乱数をテスト制御回路5に入力する。同時に制御信号Jにตอบสนองして固定値入力回路7により発生されたP-Nビットの固定値がテスト制御回路5に入力される。それにより、テスト制御回路5にはテスト制御回路5の入力信号データ長に対応したデータが与えられる。テスト制御回路5に入力されたPビットのデータに基づいて制御信号A～Jを発生する。セレクト10はテスト制御回路5からの制御信号DにตอบสนองしてデータA～Fを選択し、これをデータ圧縮用LFSR4に与える。このとき、固定値入力回路14は、テスト制御回路5からの制御信号IにตอบสนองしてM-Qビットの固定値を発生し、データ圧縮用LFSR4に与える。このようにしてデータ圧縮用LFSR4に与えられるデータ長はMビットになる。データ圧縮用LFSR4により圧縮されたデータを外部に出力し、この出力されたデータと期待値とを比較することにより、疑似乱数発生用LFSR3、テスト制御回路5およびデータ圧縮用LFSR4の良/不良のテストを行なうことができる。

【0043】なお、この固定値入力回路13および14として前述した図7の固定値入力回路を用いることができる。

【0044】以上説明したように各テスト用ハードウェアの出力するデータ長が異なる場合においても、データ長を合わせることでテスト回路のテストが実現できる。

【0045】

【発明の効果】以上のようにこの発明によれば、テスト用に設けたLFSRを有効に利用することでテスト用に設けたテスト回路を少ないハードウェアを追加するだけで直接テストを行なうことが可能になる。したがって、機能ブロックをテストして間接的にテスト回路の正常動作を確かめていた従来に比べ不良検出率が向上するという効果が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図である。

【図2】この発明の第2の実施例を示すブロック図である。

【図3】ビット圧縮回路の一例を示すブロック図である。

【図4】ビット圧縮回路の一例を示すブロック図である。

【図5】ビット圧縮回路の一例を示すブロック図である。

【図6】この発明の第3の実施例を示すブロック図である。

【図7】図6の固定値入力回路の回路図である。

【図8】この発明の第4の実施例を示すブロック図である。



【図9】この発明の第5の実施例を示すブロック図である。

【図10】この発明の第6の実施例を示すブロック図である。

【図11】従来のテスト機能付き半導体集積回路のブロック図である。

【図12】疑似乱数発生用LFSRの一例を示すブロック図である。

【図13】データ圧縮用LFSRの一例を示すブロック図である。

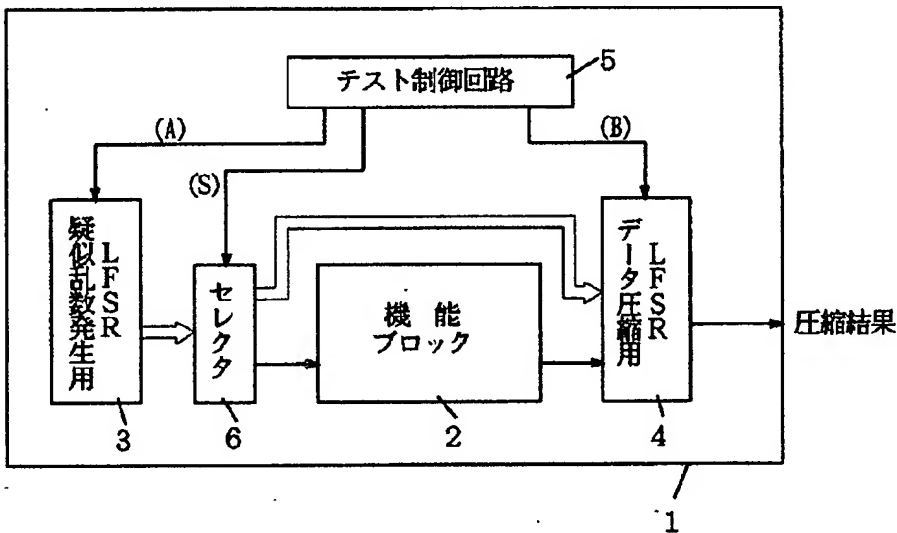
【図14】従来のテスト機能付き半導体集積回路の構成

図である。

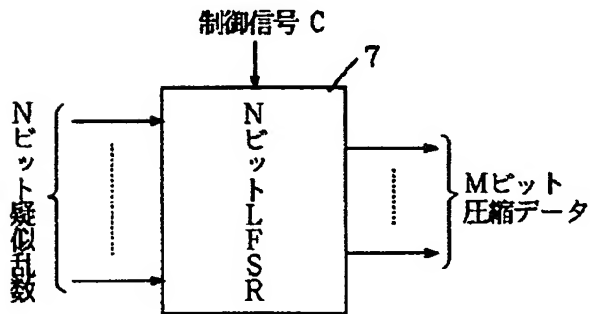
【符号の説明】

- 1 テスト機能付き半導体集積回路
- 2 機能ブロック
- 3 疑似乱数発生用LFSR
- 4 データ圧縮用LFSR
- 5, 5' テスト制御回路
- 6, 16, 26 セレクタ
- 7, 11, 12 ビット圧縮回路
- 10 8, 13, 14 固定値入力回路

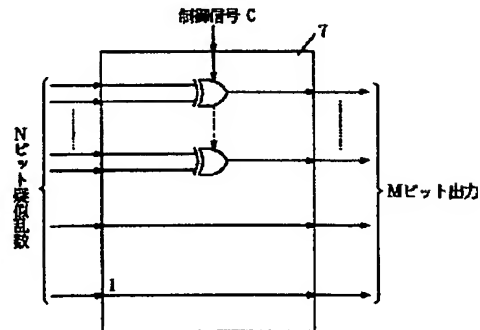
【図1】



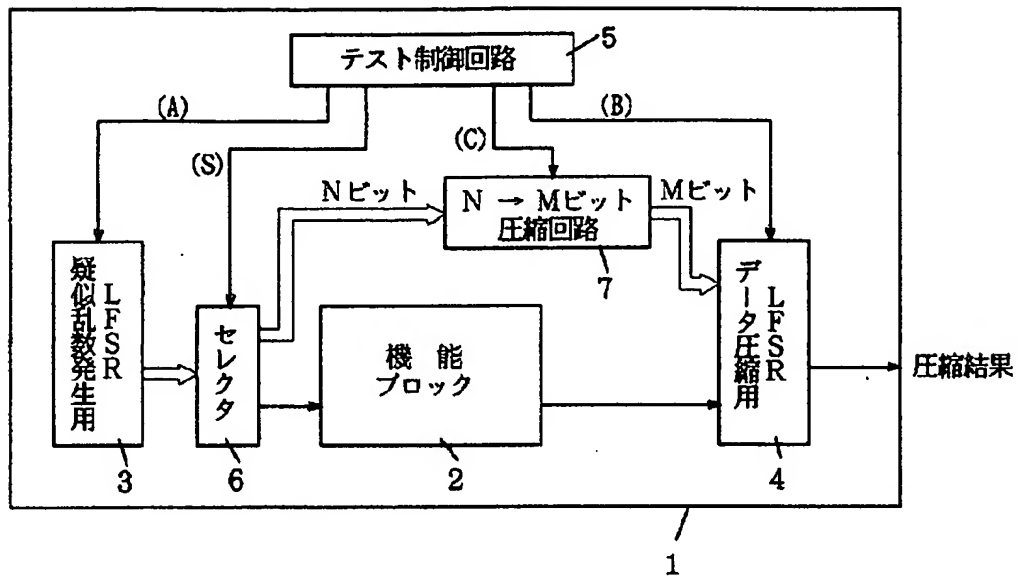
【図3】



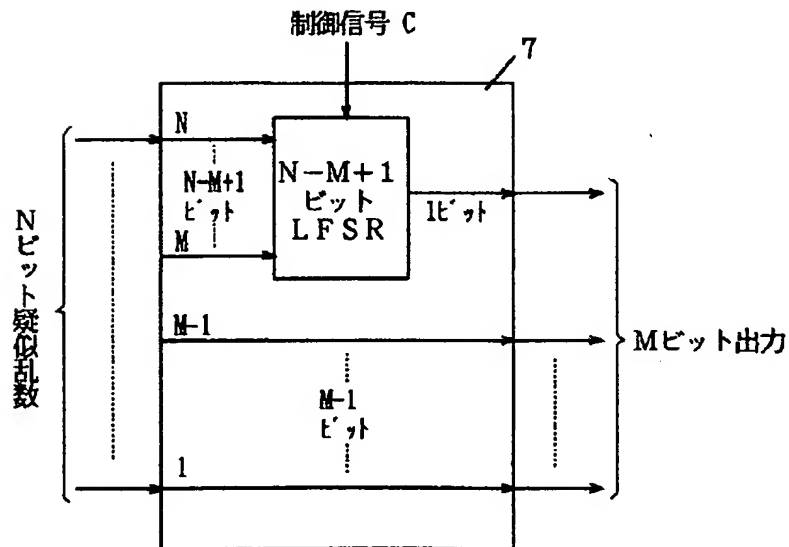
【図5】



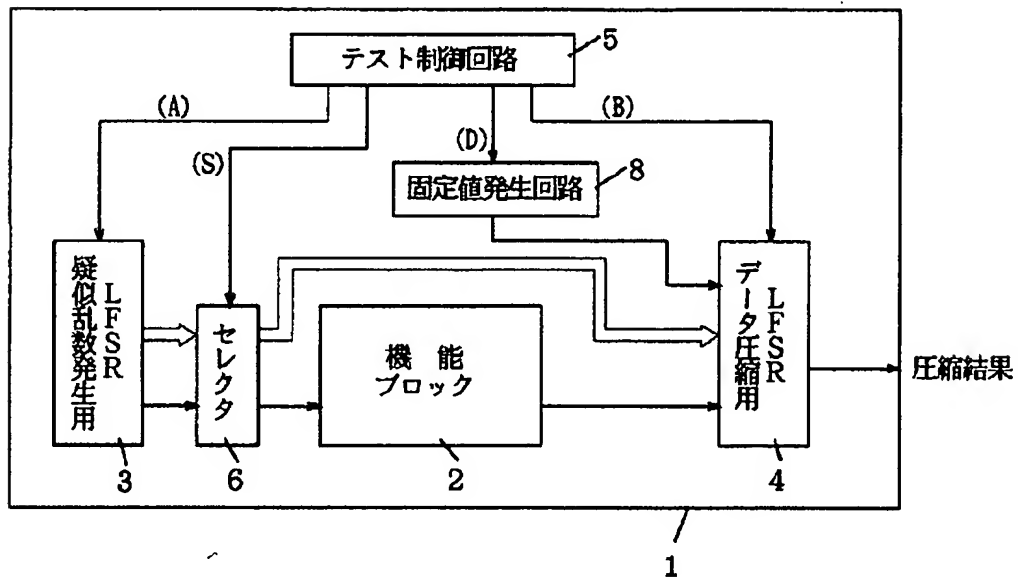
【図2】



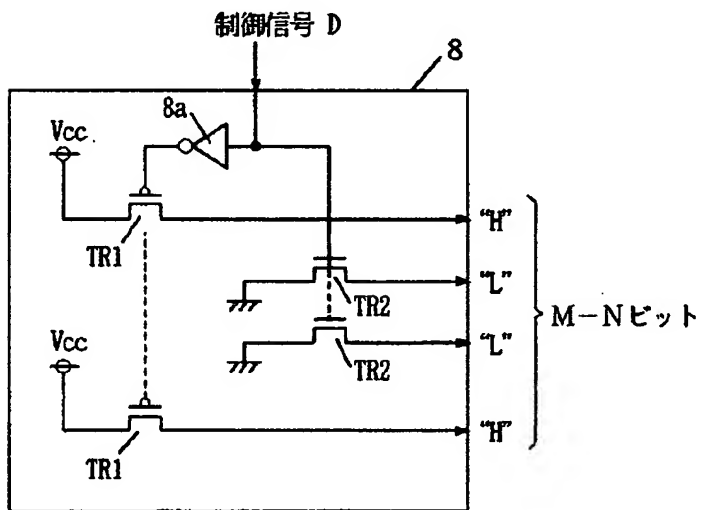
【図4】



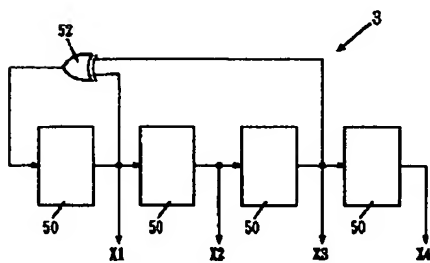
【図6】



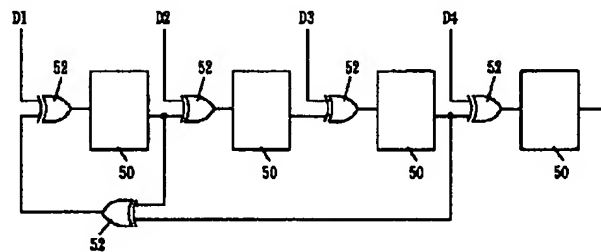
【図7】



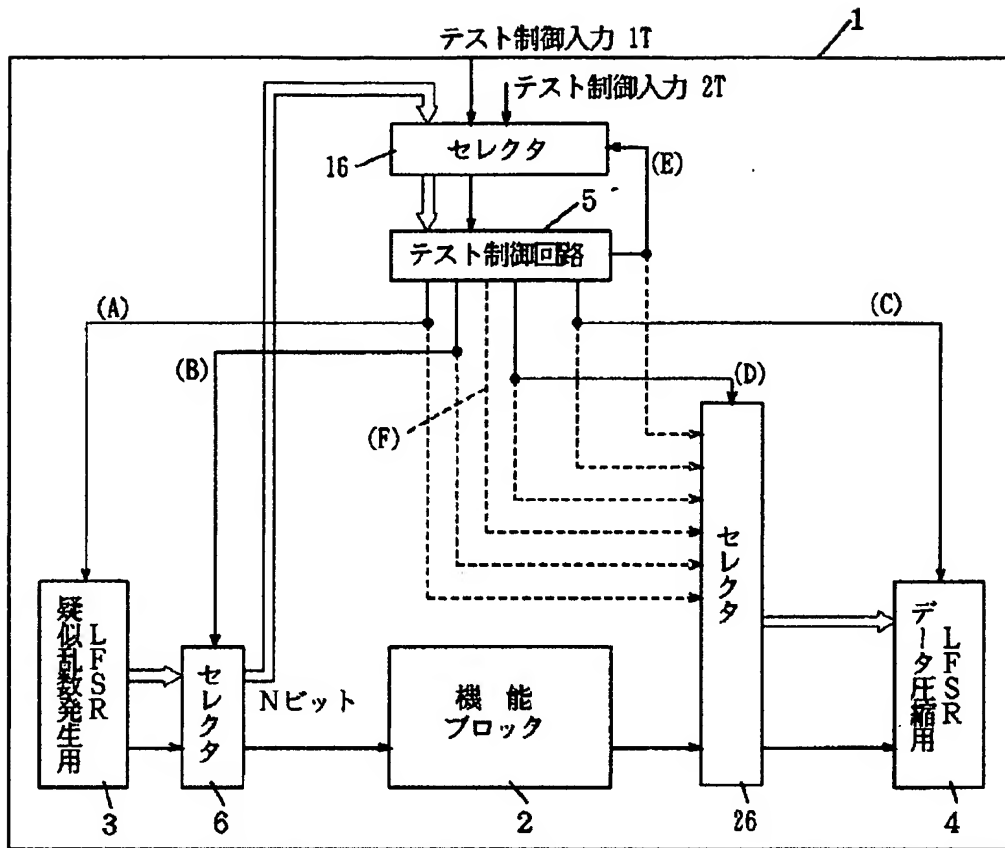
【図12】



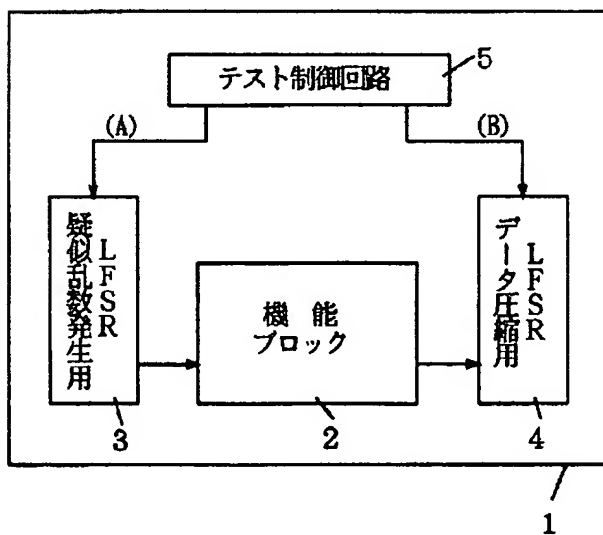
【図13】



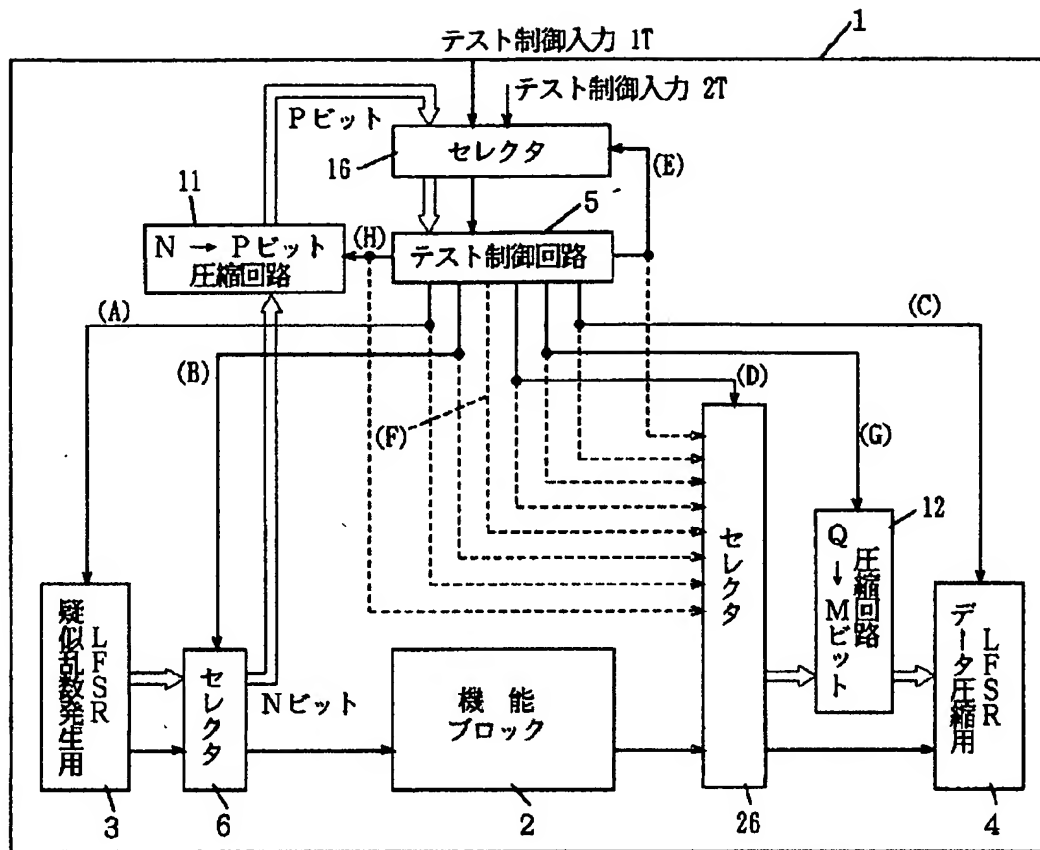
【図8】



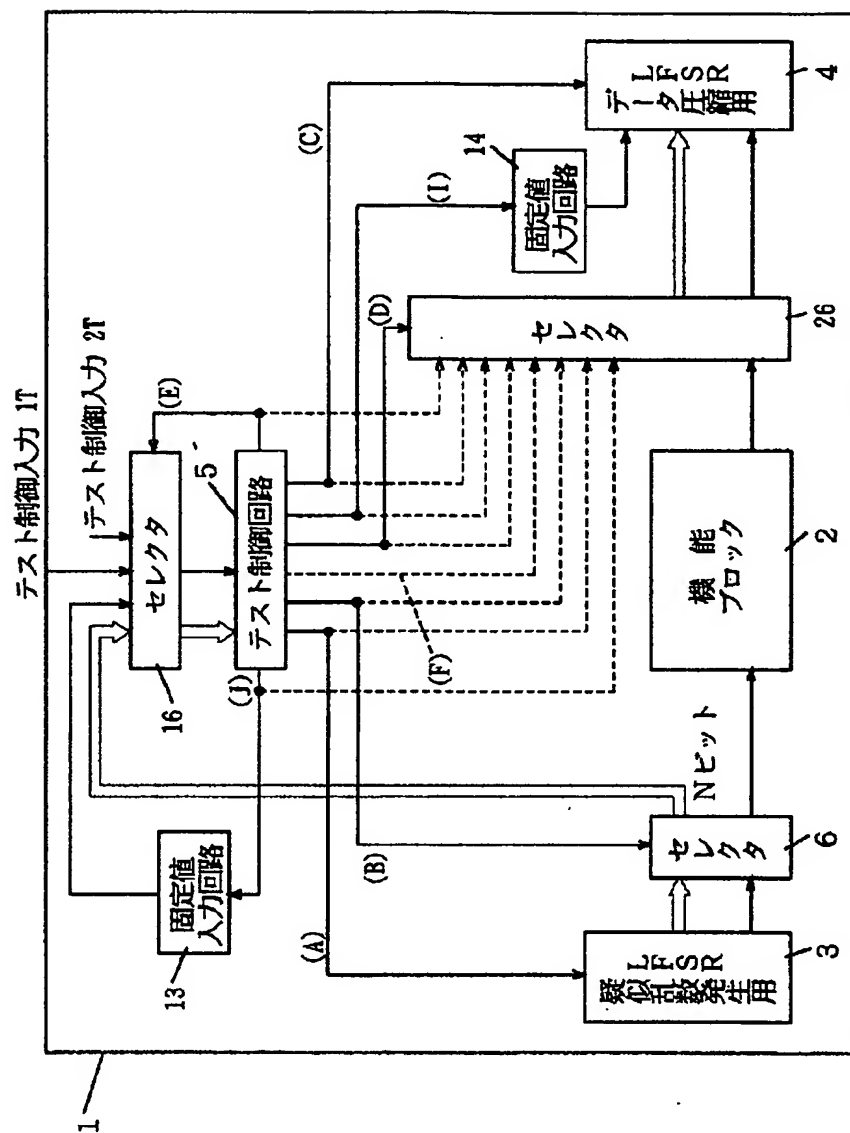
【図11】



【図9】



【図10】



【0003】図11はこのような自己テスト機能を実現

したテスト機能付き半導体集積回路のブロック図である。図11を参照して、この半導体集積回路1は、テスト対象となる機能ブロック2、疑似乱数発生用LFSR3、データ圧縮用LFSR4およびテスト制御回路5を備える。テスト制御回路5は疑似乱数発生用LFSR3およびデータ圧縮用LFSR4を制御するための制御信号AおよびBを出力する。疑似乱数発生用LFSR3は、テスト制御回路5からの制御信号Aに反応して、テストデータとしての疑似乱数データを発生し、発生した疑似乱数データを機能ブロック2に与える。機能ブロック2は、通常動作時においては、各種論理信号を予め定められた論理に従って処理して各種の機能を達成するブロックである。この機能ブロック2はテスト時には疑似乱数発生用LFSR3からの疑似乱数データを予め定められた論理に従って処理する。データ圧縮用LFSR4は、テスト制御回路5からの制御信号Bに反応して機能ブロック2により処理されたテストデータを圧縮する。このような機能を有する疑似乱数発生用LFSR3およびデータ圧縮用LFSR4の一例として文献（COMP UTERSCIENCE PRESS社発行、M. AB RAMOVICI, M. A. BREUER, A. D. F RIEDMAN著、DIGITAL SYSTEMS TESTING AND TESTABLE DESIGNのp445～447, p473～474）に記載されたLFSRがある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】動作において、各フリップフロップ52はデータのラッチを行なうクロック（図示しない）が入力されており、クロックの変化に応じて次段へのシフトを行なうように構成している。前段へのフィードバックをかけるときにはフィードバック信号を排他的論理和ゲート52により受けて出力する。フィードバックをかけるフリップフロップの出力位置（一般にタップとよばれる）は、一般に特性多項式で求めることができる。このタップの位置とフリップフロップの段数を最適化することで最大 $2^N - 1$ （NはLFSRの段数）の周期の疑似乱数を発生する。図12の4ビット構成の場合には、最大 $2^4 - 1$ の疑似乱数が発生可能であるが、タップの位置が最適化されていないため7種の疑似乱数を発生する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】図11に示したテスト機能付き半導体集積

回路の動作を説明する。まず、自己テスト時にはテスト制御回路5により集積回路1全体を制御する。制御信号Aにより疑似乱数発生用LFSR3から疑似乱数が発生する。制御信号Bによりデータ圧縮用LFSR4においてデータ圧縮を行なう。疑似乱数発生用LFSR3の疑似乱数を用い、集積回路1内部の各機能ブロック2を動作させる。各機能ブロック2の動作結果は制御信号Bによりデータ圧縮用LFSR4に取込まれ、ここでデータ圧縮される。機能ブロック2をすべて動作させデータ圧縮が終了した後に、圧縮結果を集積回路1外部に出力し、良／不良を判定する。なお、この例では圧縮結果をそのまま集積回路1外部に出力しているが、自己テストの期待値と圧縮結果を比較する判定回路を内蔵し、良／不良結果を外部に出力する場合もある。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】図14は多ビット構成のLFSRを複数個用いた半導体集積回路（マイクロプロセッサ）を示すブロック図である。このマイクロプロセッサは文献（IC CD86 proceeding p.169～173 “BUILT IN SELF TEST OF THE 80386”）に記載されている。同図を参照して、PLAはプログラマブルロジックアレイ、BINARYはバイナリーカウンタ、CROMはROM、ALU25は期待値と実際の圧縮値を比較する比較用演算器、EAXレジスタはALUでの比較結果を格納するレジスタである。この構成では、テスト用回路として3種の疑似乱数発生用LFSR3（11ビット、19ビット、16ビット）、8種のデータ圧縮用LFSR（16ビット×5, 18ビット, 19ビット, 37ビット）、テスト用制御回路と比較用演算器を設けている。これらのテスト用ハードウェアは半導体集積回路の面積の数%ないし十数%を占めるため、テスト用ハードウェア自体の不良は無視できなくなる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】テスト回路のテスト時には、制御信号Aにより疑似乱数発生用LFSR3から疑似乱数を出力し、セクタ6に入力する。セクタ6は制御信号Sに反応してデータ圧縮用LFSR4側を選択する。それにより疑似乱数は直接データ圧縮用LFSR4に入力される。その後、データ圧縮用LFSR4は制御信号Bに反応して疑似乱数を圧縮し、テスト回路のテストの最後にその圧縮結果を集積回路1の外部に出力する。このことによ



り、機能ブロック2を動作させることなく、疑似乱数発生用LFSR3およびデータ圧縮用LFSR4を直接テストすることが可能となる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】図8は、この発明の第4の実施例を示すブロック図である。図8に示すテスト機能付き半導体集積回路は、テスト制御回路5のテストを行なうことを可能にする。図8を参照して、このテスト機能付き半導体集積回路が図1の半導体集積回路と異なるところは、

(1) セレクタ6と、テスト制御回路5'との間にセレクタ16が設けられていること、(2) テスト制御回路5'の出力データまたは機能ブロック2の出力データを選択するセレクタ26が設けられていることである、(3) テスト制御回路5'が1対のLFSR3および4とを制御する制御信号AおよびC、セレクタ6、16および26を制御するための制御信号B、EおよびDを発していることである。なお、Fはテスト制御回路5'の内部信号である。その他の回路については、図1と同様であり、同一符号を付しその説明は適宜省略する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】次に、図8に示すテスト機能付き半導体集積回路の動作を説明する。まずテスト時の制御はテスト制御回路5'から出力制御信号A～Eにより行ない、集積回路1全体を制御する。自己テスト時には制御信号Aにより疑似乱数発生用LFSR3から疑似乱数を出力しセレクタ6に入力する。セレクタ6は、制御信号Bにตอบสนองして機能ブロック2側を選択して、疑似乱数を機能ブロック2に入力する。疑似乱数を入力とした機能ブロック2の動作結果はセレクタ26により選択されデータ圧縮用LFSR4に入力される。データ圧縮用LFSR4は制御信号Cにตอบสนองして動作結果を圧縮して自己テストの最後に圧縮結果を集積回路1の外部に出力する。なお、セレクタ16は制御信号Eにตอบสนองしてテスト制御入力値1Tおよび2Tを選択しテスト制御回路5'に入力している。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】テスト回路のテスト時には、制御信号Aにตอบสนองして疑似乱数発生用LFSR3が疑似乱数を発生する。この発生された疑似乱数はセレクタ6に入力される。セレクタ6は制御信号Bにตอบสนองしてテスト制御回路5'側を選択し、疑似乱数をセレクタ16に入力する。セレクタ16は制御信号Eにตอบสนองして疑似乱数を選択しテスト制御回路5'に入力する。テスト制御回路5'の出力する制御信号A～Eは疑似乱数発生用LFSR3を始めとする各テストブロックに入力すると同時にセレクタ26に疑似乱数データを入力する。また、テスト制御回路5'内の制御信号Fもセレクタ26に入力される。セレクタ26は制御信号Dにตอบสนองしてテスト制御回路5'から出力される制御信号A～Fを圧縮し、その圧縮結果を集積回路1の外部に出力する。こうすることにより、機能ブロック2を動作させることなく、疑似乱数発生用LFSR3、データ圧縮用LFSR4、テスト制御回路5'のテストを直接行なうことが可能となる。すなわち、テスト回路のテスト時には疑似乱数をテスト制御回路5'に入力し、テスト制御回路5'の出力である制御信号A～Eをデータ圧縮して確認することにより、テスト用ハードウェアのテストを実現している。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】なお、図8の実施例では、疑似乱数発生用LFSR3のデータ長とテスト制御回路5'の入力信号データ長が同じであり、かつテスト制御回路5'の出力信号データ長とデータ圧縮用LFSR4のデータ長が同じであることを条件とするが、それぞれのデータ長が異なる場合は、図9に示すようにデータ長を調整する回路を設ける必要がある。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】動作においてテスト回路のテスト時にはセレクタ6から出力した疑似乱数をテスト制御回路5'に入力する。ビット圧縮回路7は制御信号HにตอบสนองしてNビットの疑似乱数をPビットに圧縮し、テスト制御回路5'に入力する。また、セレクタ26から出力した総ビット長Qのテスト制御信号A～Hはビット圧縮回路17でMビットに圧縮されてデータ圧縮回路4に入力される。